

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05343609 A

(43) Date of publication of application: 24.12.93

(51) Int. Cl

H01L 25/065
H01L 25/07
H01L 25/18
H01L 23/538

(21) Application number: 04170188

(71) Applicant: NEC CORP

(22) Date of filing: 04.06.92

(72) Inventor: WATANABE TOKUJIRO

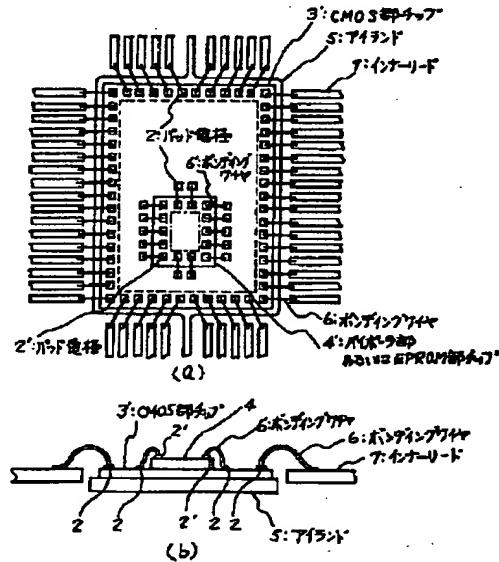
(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57) Abstract:

PURPOSE: To eliminate restriction on signal transfer between two chips and restriction on bonding wires.

CONSTITUTION: On one chip 3', another chip 4' is bonded. After the chip 3' is mounted on an island 5 of a lead frame, the chip 3' is connected with the chip 4', and the chips 3', 4' are connected with inner leads 7 of a lead frame, by using bonding wires 6.

COPYRIGHT: (C)1993,JPO&Japio



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-343609

(43)公開日 平成5年(1993)12月24日

(51)Int.Cl. ⁵ H 01 L 25/065 25/07 25/18	識別記号	序内整理番号	F I	技術表示箇所
			H 01 L 25/ 08 23/ 52	B A
			審査請求 未請求 請求項の数2(全4頁) 最終頁に続く	

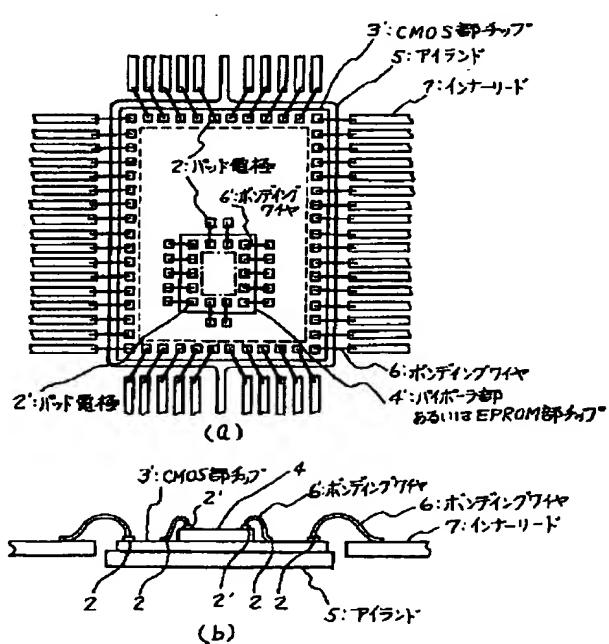
(21)出願番号	特願平4-170188	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成4年(1992)6月4日	(72)発明者	渡辺 徳二郎 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74)代理人	弁理士 菅野 中

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 2つのチップ同士の信号授受の制約及びボンディングワイヤ上の制約を解消する。

【構成】 1つのチップ3' 上に別のチップ4' を接着させ、チップ3' をリードフレームのアイランド5上にマウントしたのち、チップ3' とチップ4' の間及びチップ3' , 4' とリードフレームのインナーリード7の間をボンディングワイヤで結線する。



【特許請求の範囲】

【請求項1】 機能等が異なる二以上の半導体チップを上下に積層してなる半導体集積回路であって、

相対的に下層の半導体チップは、上層の半導体チップの外周縁に沿うパッド電極を有し、該パッド電極に上層の半導体チップのパッド電極を電気的に接続したものであることを特徴とする半導体集積回路装置。

【請求項2】 機能等が異なる二以上の半導体チップを上下に積層してなる半導体集積回路であって、

相対的に上層と下層の半導体チップは、金属バンプが形成されたパッド電極を有しており、

上層と下層の半導体チップは、金属バンプ同士を接合して搭載されたものであることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、機能等が異なる二以上の半導体チップを集積してなる半導体集積回路に関する。

【0002】

【従来の技術】半導体集積回路装置の高集積化、高速化、多機能化に伴い、LSIチップ面積の増加、ウェーハ製造工程数の増大、及びLSIチップから端子を取り出すピン数の増加が進んでいる。

【0003】たとえば、バイポーラトランジスタとCMOSトランジスタと同一基板上に形成したBi-CMOSプロセスにおいて、高速動作が要求されるプリスケーラ部あるいはアナログ部をバイポーラトランジスタで構成し、論理回路部等をCMOSトランジスタで構成している。

【0004】またDTS' Digital Tuning System, マイコン、リモコン用のLSIは、従来のマスクROM(Read Only Memory)部をEPROM(Erasable Programmable ROM)にすることでROMへのデータ書き込みがLSIパッケージ上から電気的に行えるようになった。

【0005】図3は、LSIチップ1の平面図であり、チップ周辺には外部への端子を引きだすためのパッド電極2、破線内が論理回路を構成するCMOS部3、さらに一点破線内が例えばバイポーラ部あるいはEPROM部4を表わしており、CMOS部3と、バイポーラ部あるいはEPROM部4とが一体に集積されている。

【0006】

【発明が解決しようとする課題】バイポーラトランジスタとCMOSトランジスタが混在したBi-CMOS, EEPROMを内蔵した図3に示すCMOSLSIチップは、集積化という意味で大きな利点を有しているが、通常のCMOSプロセスに比べ、ウェーハ製造工数が大幅に増加する、あるいは要求される種々の特性を单一プロ

セスから引き出すといった複雑さから、しばしばウェーハ上の歩留り(有効チップ数中の良品チップ数)が低下することがある。

【0007】そこで、一つの対策としてCMOS部はCMOSプロセスで1チップに納め、バイポーラ部あるいはEPROM部は、また別のプロセスで1チップに納めるといった方法が採られている。それぞれ個別のプロセスから得られるチップの歩留りは比較的安定だからである。

10 【0008】図4は、上記のようにして得られた個別のチップ、すなわちCMOS部チップ3'、およびバイポーラ部あるいはEPROM部チップ4'を1つのパッケージに搭載した平面図である。

【0009】チップ3'およびチップ4'をリードフレームのアイランド5上にマウントし、チップ3'とチップ4'のパッド電極2, 2'間をボンディングワイヤ6で結線し、さらにチップ3', 4'のパッド電極2, 2'リードフレームのインナーリード7との間をボンディングワイヤ6'で結線している。

20 【0010】しかしながら、以上の結線方法では、チップ3'とチップ4'とを結ぶ結線数に制約があり、チップ間の信号の授受に制限が生じる。またチップとインナーリード間の結線も部分的に長く、ワイヤ間ショートの危険もあり、信頼性上問題がある。

25 【0011】さらに、チップ間、チップとリード間を含めた全体的な設計に制約が多く、多ピンに不向きであり、かつチップサイズが大きくなってしまうという欠点がある。

【0012】本発明の目的は、信頼性が高く、かつ多ピン化に対応した半導体集積回路装置を提供することにある。

【0013】

【課題を解決するための手段】前記目的を達成するため、本発明に係る半導体集積回路装置は、機能等が異なる二以上の半導体チップを上下に積層してなる半導体集積回路であって、相対的に下層の半導体チップは、上層の半導体チップの外周縁に沿うパッド電極を有し、該パッド電極に上層の半導体チップのパッド電極を電気的に接続したものである。

40 【0014】また、本発明に係る半導体集積回路装置は、機能等が異なる二以上の半導体チップを上下に積層してなる半導体集積回路であって、相対的に上層と下層の半導体チップは、金属バンプが形成されたパッド電極を有しており、上層と下層の半導体チップは、金属バンプ同士を接合して搭載されたものである。

【0015】

【作用】集積すべき二以上の半導体チップのうち、上層の半導体チップを下層の半導体チップの表面に搭載し、かつ、その半導体チップのパッド電極相互間を配線する。

【0016】これにより、チップ同士間の配線数の制約を解消し、チップとインナーリード間の配線をも整理する。

【0017】

【実施例】次に本発明について図面を参照して説明する。

【0018】(実施例1) 図1(a)は、本発明の実施例1に係る半導体集積回路装置を示す平面図、(b)は、同断面図である。

【0019】図において、CMOS部チップ3'は、表面保護膜が例えばプラズマ窒化膜0.1~1.0μm、およびポリイミド膜2~10μmの厚さで覆われており、所定のパッド電極2'上の表面保護膜は開口されている。

【0020】バイポーラ部あるいはE PROM部チップ4'は、表面保護膜が例えば低濃度PSG膜0.1~1.0μmおよびプラズマ窒化膜0.1~0.5μmの厚さで覆われており、パッド電極2'上は開口されている。

【0021】チップ4'の裏面にたとえばエポキシ樹脂を塗り、チップ3'の表面に接着する。次にチップ3'をリードフレームのアイランド5上にマウントさせる。

【0022】次にチップ4'のパッド電極2'とチップ4'の外周縁に沿うチップ3'のパッド電極2との間をポンディングワイヤ6'で結線し、さらにチップ3'の外周縁に沿うパッド電極2とリードフレームのインナーリード7との間をポンディングワイヤ6で結線する。最後にモールド樹脂で封入を行い、組立工数が完了する。

【0023】(実施例2) 図2(a)は、本発明の実施例2に係る半導体集積回路装置を示す平面図、(b)は同断面図である。

【0024】CMOS部チップ3'、およびバイポーラ部あるいはE PROM部チップ4'のパッド電極2, 2'上に、金属バンプとして例えばAuバンプ8を形成

し、チップ3'の表面上にチップ4'の表面を向合わせ、互いのバンプ8, 8同士を熱圧着等で接続する。次にチップ3'の周辺バンプ8にTABのインナーリード7を合わせて接続し、封止樹脂にてチップとTAB (Tape Automated Bonding) を固定して組立工程が完了する。

【0025】実施例においては、CMOSチップとバイポーラチップあるいはE PROMチップの例について説明したが、製造方法あるいは製造工程数の異なる半導体集積回路装置例えばE PROM, GaAs、その他の能動素子に適用できることは言うまでもない。

【0026】

【発明の効果】以上説明したように本発明は、1つのチップ上に別のチップをのせることで、チップ同士の間の結線数の制約を解消し、またチップとインナーリード間の結線も整理され、信頼性の高い、他ピン化に対応したLSIを提供できる。

【図面の簡単な説明】

【図1】(a)は、本発明の実施例1に係る半導体集積回路装置を示す平面図、(b)は同断面図である。

【図2】(a)は、本発明の実施例2に係る半導体集積回路装置を示す平面図、(b)は同断面図である。

【図3】LSIチップの平面図である。

【図4】2つのチップを1つのアイランドに載せボンディングを実施した時の従来の方法を示す平面図である。

【符号の説明】

1 LSIチップ

2, 2' パッド電極

3' CMOS部チップ

4' バイポーラ部あるいはE PROM部チップ

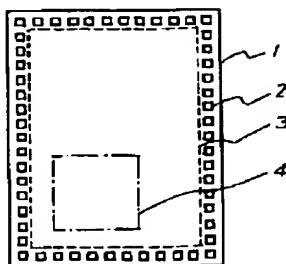
5 アイランド

6, 6' ボンディングワイヤ

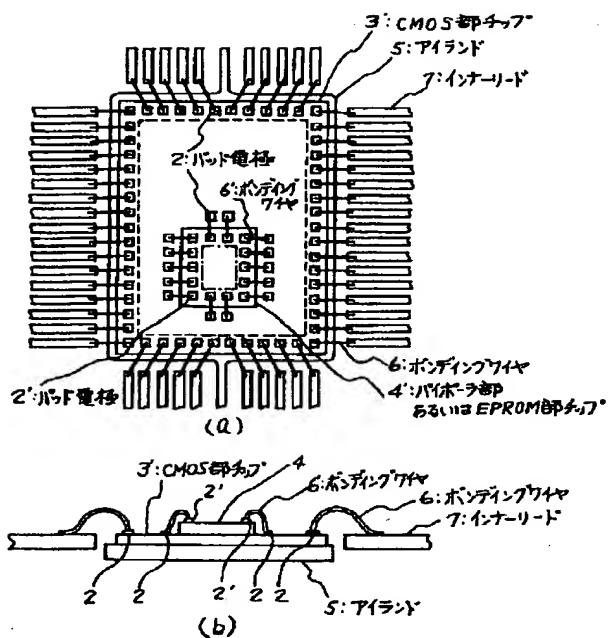
7 インナーリード

8 バンプ

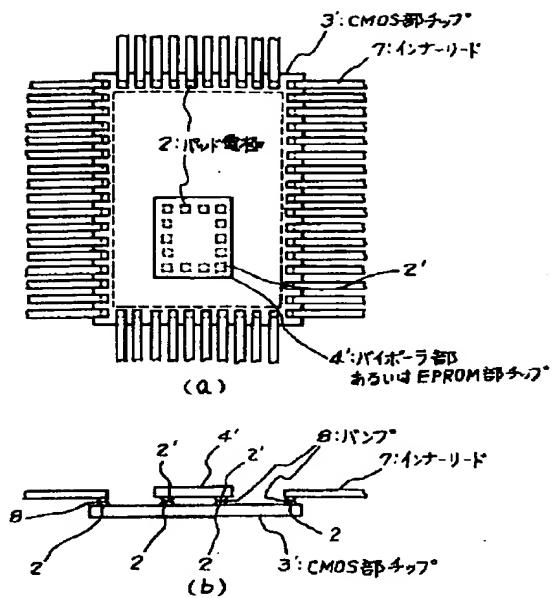
【図3】



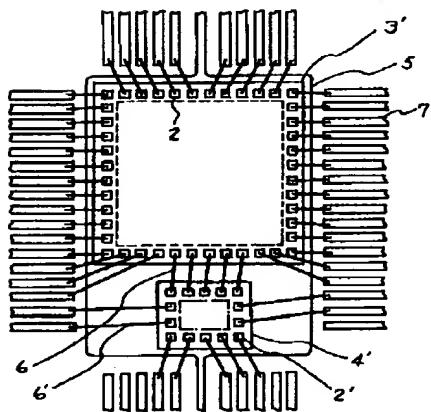
【図1】



【図2】



【図4】



フロントページの続き

(51)Int.Cl. 5

識別記号

府内整理番号

F I

技術表示箇所

H 01 L 23/538